

(11)特許出願公開番号

特開平5-28789

(43)公開日 平成5年(1993)2月5日

(51) Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

FI

### 技術表示箇所

G-1 1 C 19/28

B 2116-5L

19/00

**K 21.16-5L**

H O 3 K 3/02

B 7328-5 J

審査請求 未請求 請求項の数 1 (全 4 頁)

(21)出願番号

特願平3-186585

(22)出願日

平成3年(1991).7月25日

(71)出願人 000005049

ジャープ株式会社

大阪府大阪市阿倍野区长池町22番22号

(72)発明者 中尾 友昭

大阪府大阪市阿倍野区長池町22番22号 シ

ヤープ株式会社内

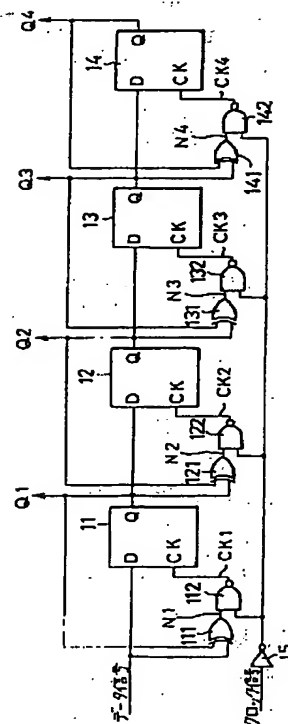
(74)代理人 弁理士 川口 義雄 (外1名)

(54)【発明の名称】 論理回路

(57) 【要約】

【目的】 クロック同期式のフリップフロップを含む論理回路の消費電流を低減する。

【構成】 フリップフロップ 1 1 の入力データ信号と出力信号の論理レベルが等しい場合には、排他的 OR ゲート 1 1 1 の出力信号 N 1 はローレベルとなり、クロック信号は NAND ゲート 1 1 2 でブロックされ、フリップフロップ 1 1 には供給されない。即ち、フリップフロップの出力信号の論理レベルが新たに入力されるデータ信号の論理レベルと同じである場合には、クロック信号はフリップフロップには供給されない。従って、フリップフロップの内部回路に無駄な充放電電流が流れることが防止される。また、各フリップフロップには夫々 NAND ゲート 1 1 2, 1 2 2, 1 3 2, 1 4 2 を介してクロック信号が供給される。従って駆動能力の大きいインバータを用いてクロック信号を各フリップフロップに供給する必要がなく、信号反転時の貫通電流を低減することができる。



**BEST AVAILABLE COPY**

(2)

## 【特許請求の範囲】

【請求項1】 少なくとも1つのクロック同期式のフリップフロップと、外部から供給されるクロック信号の前記フリップフロップへの入力を前記フリップフロップの出力信号及び前記フリップフロップに新たにラッチされるべき入力信号の論理レベルに従って制御する手段とを備えたことを特徴とする論理回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、クロック同期式のフリップフロップを含む論理回路に関するものである。

## 【0002】

【従来の技術】 図3にクロック同期式のフリップフロップを含むCMOS（コンプリメンタリモス）構成の従来の論理回路の一例として4ビットシフトレジスタを示す。このシフトレジスタは4つのクロック同期式Dフリップフロップ31～34により構成されており、各フリップフロップにはインバータ35、36によりクロック信号が供給されている。図4のタイミングチャートに示すように、各フリップフロップがローレベルの信号Q1～Q4を出力している初期状態で、データ信号がハイレベルになると、まずフリップフロップ31がそれをクロック信号の立上りでラッチし、ハイレベルの出力信号Q1を出力する。フリップフロップ32はこのハイレベルの出力信号Q1をクロック信号の次の立上りでラッチし、ハイレベルの出力信号Q2を出力する。以下同様に、フリップフロップ33、34は順次、ハイレベルの出力信号Q3、Q4を出力する。また、逆にデータ信号がローレベルになると、各フリップフロップ31～34は順次、クロック信号に同期してローレベルの出力信号Q1～Q4を出力する。すなわち、フリップフロップ31に入力されたデータ信号はクロック信号の立上りに同期して順次右にシフトされ、フリップフロップQ1～Q4からパラレル信号として出力される。

## 【0003】

【発明が解決しようとする課題】 このような従来のシフトレジスタでは、各フリップフロップに入力されるデータ信号の論理レベルと出力信号の論理レベルとが等しく、従ってフリップフロップの状態を変化させる必要のない場合にもクロック信号が入力される。クロック信号が入力されると、フリップフロップの内部回路に充放電電流が流れ、電力が消費される。すなわち従来のこの種の論理回路では、フリップフロップにクロック信号を入力する必要がない場合でもクロック信号が入力され、無駄な電流が流れる。

【0004】 また、各フリップフロップ31～34にクロック信号を供給するインバータ36としては駆動能力の大きいCMOSトランジスタを用いる必要がある。しかし、駆動能力の大きいCMOSトランジスタは、信号の反転時に大きな貫通電流が流れるので、これも消費電

流を増大させる原因となっている。

【0005】 本発明は、このような問題に鑑みなされたものであり、クロック同期式のフリップフロップを有する論理回路において、その消費電流を低減することを目的とする。

## 【0006】

【課題を解決するための手段】 本発明の論理回路は、上記目的を達成するために、少なくとも1つのクロック同期式のフリップフロップと、外部から供給されるクロック信号の前記フリップフロップへの入力を前記フリップフロップの出力信号及び前記フリップフロップに新たにラッチされるべき入力信号の論理レベルに従って制御する手段とを備えたことを特徴とする。

## 【0007】

【作用】 本発明の論理回路では、外部から供給されるクロック信号のフリップフロップへの入力は、該フリップフロップの出力信号及び該フリップフロップに新たにラッチされるべき入力信号の論理レベルに従って制御される。好ましくは、これらの論理レベルが相等しい場合、即ちフリップフロップの状態を変化させる必要のない場合にフリップフロップへのクロック信号の入力が阻止される。このように構成することにより消費電流が低減される。

## 【0008】

【実施例】 次に本発明の実施例について図面を参照して詳細に説明する。図1に本発明の一実施例であるCMOS構成の4ビットのシフトレジスタを示す。このシフトレジスタは4つのフリップフロップ11～14、NANDゲート112、122、132、142、及び排他的ORゲート111、121、131、141によって構成されており、各フリップフロップには1つの排他的ORゲートと1つのNAND回路からなる組み合わせ回路が備えられる。

【0009】 排他的ORゲート111の2つの入力はフリップフロップ11のデータ信号入力端子と出力端子とに夫々接続され、また、その出力はNANDゲート112の一方の入力に接続されている。NANDゲート112の他方の入力はクロック信号の供給元であるインバータ15の出力に接続され、NANDゲート112の出力はフリップフロップ11のクロック信号入力端子に接続されている。

【0010】 他の組合せ回路も同様に構成されている。即ち、排他的ORゲート121、131、141の各一方の入力はフリップフロップ12、13、14のデータ信号入力端子に夫々接続され、各他方の入力はフリップフロップ12、13、14の出力端子に夫々接続され、また、その各出力はNANDゲート122、132、142の各一方の入力に夫々接続されている。NANDゲート122、132、142の各他方の入力は共にインバータ15の出力に接続され、NANDゲート122、

(3)

3

132, 142の出力はフリップフロップ12, 13, 14のクロック信号入力端子に夫々接続されている。

【0011】次に図2に示すタイミングチャートを参照して上記論理回路の動作を説明する。各フリップフロップの出力信号Q1～Q4は最初ローレベルであるものとする。図2に示すようにハイレベルのデータ信号がフリップフロップ11に入力されると、この場合、排他的ORゲート111の2つの入力信号の論理レベルは互いに異なるので、排他的ORゲート111はハイレベルの出力信号N1をNANDゲート112に出力する。従って、インバータ15により反転されたクロック信号はNANDゲート112によりさらに反転されてクロック信号CK1としてフリップフロップ11に入力される。その結果、フリップフロップ11はクロック信号の最初の立上りのタイミングT1に同期してハイレベルのデータ信号をラッチし、ハイレベルの出力信号Q1を出力する。

【0012】クロック信号の次のタイミングT2でもフリップフロップ11には引き続きハイレベルのデータ信号が入力されているが、この場合には出力信号Q1がハイレベルであるため、排他的ORゲート111の出力信号N1はローレベルとなっている。従って、クロック信号はNANDゲート112でブロックされ、フリップフロップ11には供給されない。すなわち、出力信号Q1が新たに入力されるデータ信号と同じ論理レベルである場合には、クロック信号はNANDゲート112でブロックされ、フリップフロップ11には供給されない。従って、フリップフロップの内部回路に無駄な充放電電流が流れることが防止される。

【0013】フリップフロップ12～14についても動作は同じである。即ち、各フリップフロップ12～14はクロック信号の立上がり同期してそのデータ信号入力端子に供給されるデータ信号を取り込み、その論理レベルと同じ論理レベルの出力信号Q2～Q4を出力するが、新たに入力されるデータ信号の論理レベルが出力信号の論理レベルに等しい場合には、排他的ORゲート121, 131, 141はローレベルの出力信号N2, N3, N4を夫々出力し、従ってクロック信号はNAND

4

ゲート122, 132, 142によってブロックされる。これにより、各フリップフロップの内部回路に無駄な充放電電流が流れることが防止される。

【0014】また、上記実施例のシフトレジスタでは、各フリップフロップ11～14には夫々NANDゲート112, 122, 132, 142からクロック信号CK1～CK4が供給される。従って、従来のシフトレジスタのように、多数のフリップフロップにクロック信号を供給するインバータを設ける必要がない。従って、クロック信号の反転時、インバータを構成するCMOSトランジスタに流れる貫通電流が低減される。

【0015】

【発明の効果】本発明の論理回路は、外部から供給されるクロック信号のフリップフロップへの入力を該フリップフロップの出力信号及び該フリップフロップに新たにラッチされるべき入力信号の論理レベルに従って制御する手段を有しているので、フリップフロップの状態を変化させる必要のない場合、フリップフロップへのクロック信号の入力をブロックすることにより、フリップフロップの内部回路に無駄な充放電電流が流れることを防止して消費電流を低減することができる。また、各フリップフロップには上記手段からクロック信号が供給されるので、駆動能力の高いインバータが不要となり、信号反転時にインバータに流れる貫通電流が低減される。

【図面の簡単な説明】

【図1】本発明の一実施例であるシフトレジスタの回路図である。

【図2】図1のシフトレジスタの動作を説明するためのタイミングチャートである。

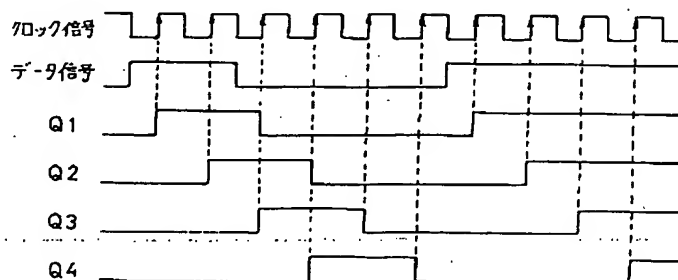
【図3】従来のシフトレジスタの回路図である。

【図4】図3のシフトレジスタの動作を説明するためのタイミングチャートである。

【符号の説明】

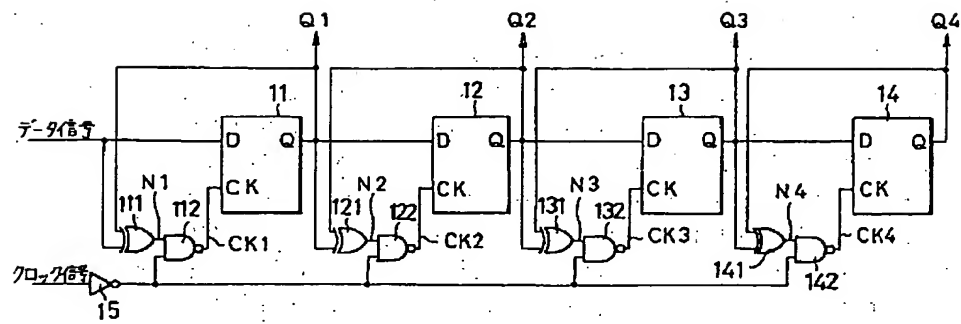
11～14, 31～34 フリップフロップ  
111, 121, 131, 141 排他的ORゲート  
112, 122, 132, 142 NANDゲート  
15, 35, 36 インバータ

【図4】

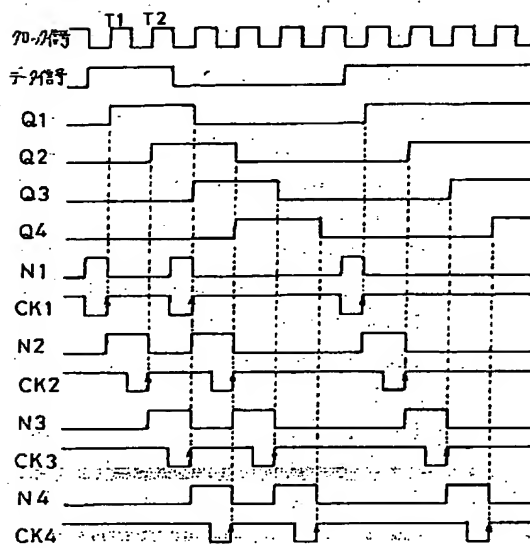


(4)

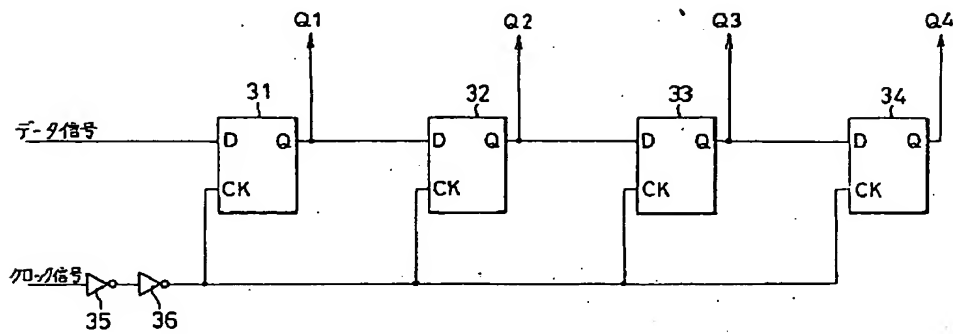
【図1】



【図2】



【図3】



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-028789

(43)Date of publication of application : 05.02.1993

(51)Int.Cl.

G11C 19/28

G11C 19/00

H03K 3/02

(21)Application number : 03-186585

(71)Applicant : SHARP CORP

(22)Date of filing : 25.07.1991

(72)Inventor : NAKAO TOMOAKI

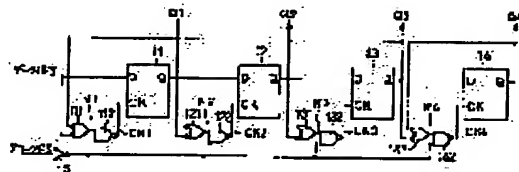
## (54) LOGICAL CIRCUIT

## (57)Abstract:

PURPOSE: To reduce the current consumption of a logical circuit including a clock synchronizing type flip flop.

CONSTITUTION: When the logical levels of both the input data signal and the output signal of a flip flop 11 are equal to each other, an output signal N1 of an exclusive OR gate 111 is turned to a low level, and a clock signal is blocked by an NAND gate 112 so as not to be supplied to the flip flop 11. That is, when the logical level of the output signal of the flip flop is the same with the logical level of the data signal to be newly inputted, the clock signal is not supplied to the flip flop.

Therefore, useless charge and discharge current can be prevented from flowing through the inside circuit of the flip flop. And also, the clock signal is supplied through each NAND gate 112, 122, 132, and 142 to each flip flop. Therefore, it is not necessary to supply the clock signal to each flip flop by using an inverter whose driving capability is large, and through-currents at the time of a signal inversion can be reduced.



## LEGAL STATUS

[Date of request for examination] 01.07.1998

[Date of sending the examiner's decision of rejection] 02.03.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 11-05081

[Date of requesting appeal against examiner's decision of rejection] 01.04.1999

[Date of extinction of right]

**\* NOTICES \***

**JPO and NCIPi are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The logical circuit characterized by having a means to control the input to the flip-flop of at least one clock synchronous system, and said flip-flop of the clock signal supplied from the outside according to the logical level of the input signal which should newly be latched to the output signal of said flip-flop, and said flip-flop.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIPi are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the logical circuit containing the flip-flop of clock synchronous system.

[0002]

[Description of the Prior Art] 4 bit-shift register is shown as an example of the conventional logical circuit of the CMOS (complementary MOS) configuration which contains the flip-flop of clock synchronous system in drawing 3. This shift register is constituted by four clock synchronous system D flip-flops 31-34, and the clock signal is supplied to each flip-flop by inverters 35 and 36. By the initial state to which each flip-flop is outputting the signals Q1-Q4 of a low level, as shown in the timing chart of drawing 4, if a data signal becomes high-level, first, a flip-flop 31 will latch it in the standup of a clock signal, and will output the high-level output signal Q1. A flip-flop 32 latches this high-level output signal Q1 in the next standup of a clock signal, and outputs the high-level output signal Q2. Flip-flops 33 and 34 output the high-level output signals Q3 and Q4 one by one like the following. Moreover, if a data signal is conversely set to a low level, each flip-flops 31-34 will output the output signals Q1-Q4 of a low level one by one synchronizing with a clock signal. That is, the data signal inputted into the flip-flop 31 is shifted to the right one by one synchronizing with the standup of a clock signal, and is outputted as a parallel signal from flip-flops Q1-Q4.

[0003]

[Problem(s) to be Solved by the Invention] In such a conventional shift register, the logical level of the data signal inputted into each flip-flop and the logical level of an output signal are equal, therefore also when there is no need of changing the condition of a flip-flop, a clock signal is inputted. If a clock signal is inputted, a charge and discharge current will flow to the internal circuitry of a flip-flop, and power will be consumed. That is, in this conventional kind of logical circuit, even when a clock signal does not need to be inputted into a flip-flop, a clock signal is inputted, and a useless current flows.

[0004] Moreover, it is necessary to use the large CMOS transistor of drive capacity for each flip-flops 31-34 as an inverter 36 which supplies a clock signal. However, since a big penetration current flows at the time of reversal of a signal, the large CMOS transistor of drive capacity is the cause by which this also increases the consumed electric current.

[0005] This invention is made in view of such a problem, and aims at reducing the consumed electric current in the logical circuit which has the flip-flop of clock synchronous system.

[0006]

[Means for Solving the Problem] The logical circuit of this invention is characterized by having a means to control the input to the flip-flop of at least one clock synchronous system, and said flip-flop of the clock signal supplied from the outside according to the logical level of the input signal which should newly be latched to the output signal of said flip-flop, and said flip-flop, in order to attain the above-mentioned purpose.

[0007]

[Function] The input to the flip-flop of the clock signal supplied from the outside is controlled by the logical circuit of this invention according to the logical level of the input signal which should newly be latched to the output signal of this flip-flop, and this flip-flop. Preferably, such logical level carries out equality and is, and case, i.e., when there is no need of changing the condition of a flip-flop, the input of the clock signal to a flip-flop is prevented. Thus, the consumed electric current is reduced by constituting.

[0008]

[Example] Next, the example of this invention is explained to a detail with reference to a drawing. The 4-bit shift register of the CMOS configuration which is one example of this invention is shown in drawing 1. This shift register is constituted by four flip-flops 11-14, NAND gate 112,122,132,142, and the exclusive OR gate 111,121,131,141, and each flip-flop is equipped with the combinational circuit which consists of one exclusive OR gate and one NAND circuit.

[0009] Two inputs of an exclusive OR gate 111 are connected to the data signal input terminal and output terminal of a flip-flop 11, respectively, and the output is connected to one input of NAND gate 112. The input of another side of NAND gate 112 is connected to the output of the inverter 15 which is the supply origin of a clock signal, and the output of NAND gate 112 is connected to the clock signal input terminal of a flip-flop 11.

[0010] Other combinational circuits are constituted similarly. That is, the input of one way each of an exclusive OR gate 121,131,141 is connected to the data signal input terminal of flip-flops 12, 13, and 14, respectively, and the input of each another side is connected to the output terminal of flip-flops 12, 13, and 14, respectively, and each of that output is connected to the input of one way each of NAND gate 122,132,142, respectively. Both the inputs of each another side of NAND gate 122,132,142 are connected to the output of an inverter 15, and the output of NAND gate 122,132,142 is connected to the clock signal input terminal of flip-flops 12, 13, and 14, respectively.

[0011] Next, actuation of the above-mentioned logical circuit is explained with reference to the timing chart shown in drawing 2. The output signals Q1-Q4 of each flip-flop shall be low level at first. Since the logical level of two input signals of an exclusive OR gate 111 differs mutually in this case when a high-level data signal is inputted into a flip-flop 11, as shown in drawing 2, an exclusive OR gate 111 outputs the high-level output signal N1 to NAND gate 112. Therefore, NAND gate 112 is further reversed and the clock signal reversed by the inverter 15 is inputted into a flip-flop 11 as clock signal CK1. Consequently, a flip-flop 11 latches a high-level data signal synchronizing with the timing T1 of the standup of the beginning of a clock signal, and outputs the high-level output signal Q1.

[0012] Although the high-level data signal is succeedingly inputted into the flip-flop 11 also for the next timing T2 of a clock signal, since the output signal Q1 is high-level in this case, the output signal N1 of an exclusive OR gate 111 serves as a low level. Therefore, a clock signal is blocked in NAND gate 112, and is not supplied to a flip-flop 11. That is, when an output signal Q1 is the same logical level as the data signal newly inputted, a clock signal is blocked in NAND gate 112, and is not supplied to a flip-flop 11. Therefore, it is prevented that a useless charge and discharge current flows to the internal circuitry of a flip-flop.

[0013] Actuation is the same also about flip-flops 12-14. That is, although each flip-flops 12-14 incorporate the data signal supplied to the data signal input terminal synchronizing with the start of a clock signal and output the output signals Q2-Q4 of the same logical level as the logical level, when the logical level of the data signal newly inputted is equal to the logical level of an output signal, an exclusive OR gate 121,131,141 outputs the output signals N2, N3, and N4 of a low level, respectively, therefore a clock signal is blocked by NAND gate 122,132,142. It is prevented that a useless charge and discharge current flows to the internal circuitry of each flip-flop by this.

[0014] Moreover, in the shift register of the above-mentioned example, clock signals CK1-CK4 are supplied to each flip-flops 11-14 from NAND gate 112,122,132,142, respectively. Therefore, it is not necessary to form the inverter which supplies a clock signal to many flip-flops like the conventional shift register. Therefore, the penetration current which flows to the CMOS transistor which constitutes an inverter is reduced at the time of reversal of a clock signal.

[0015]

[Effect of the Invention] Since the logical circuit of this invention has a means to control the input to the flip-flop of the clock signal supplied from the outside according to the logical level of the input signal which should newly be latched to the output signal of this flip-flop, and this flip-flop, when there is no need of changing the condition of a flip-flop, by blocking the input of the clock signal to a flip-flop, it can prevent that a useless charge and discharge current flows to the internal circuitry of a flip-flop, and can reduce the consumed electric current. Moreover, since a clock signal is supplied to each flip-flop from the above-mentioned means, the high inverter of drive capacity becomes unnecessary and the penetration current which flows to an inverter at the time of signal reversal is reduced.

---

[Translation done.]



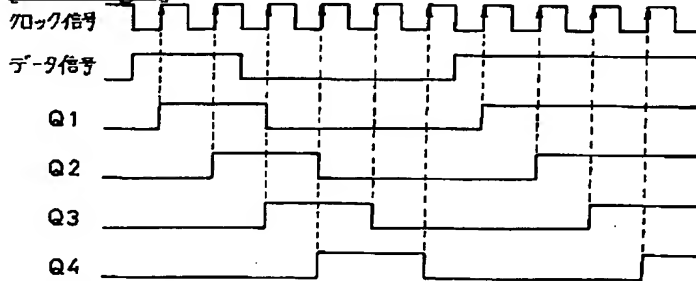
## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

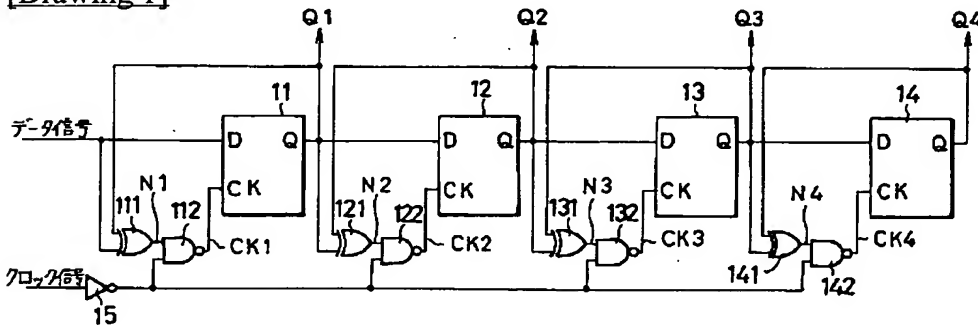
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

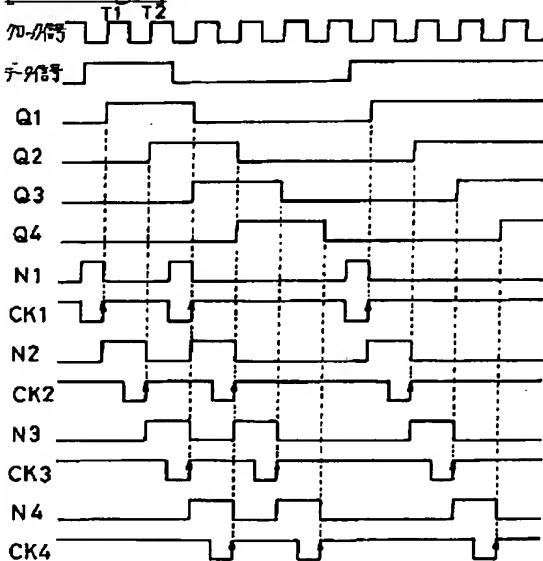
[Drawing 4]



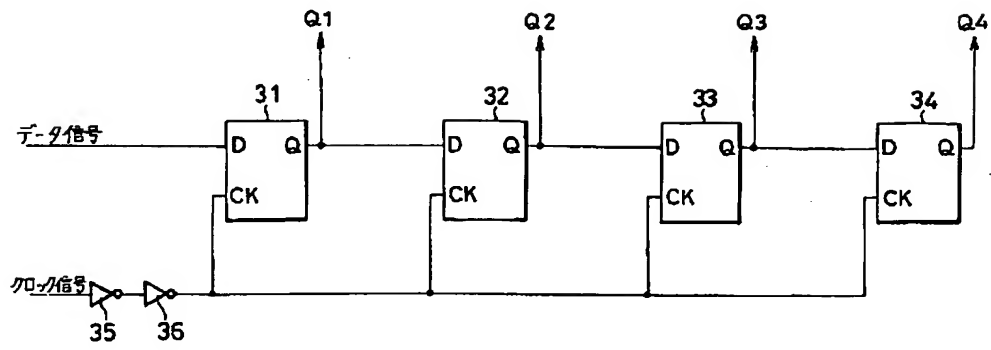
[Drawing 1]



[Drawing 2]



[Drawing 3]



---

[Translation done.]